

(19) BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

# Offenlegungsschrift

(10) DE 199 40 759 A 1

(51) Int. Cl.<sup>7</sup>:

H 01 L 23/58

H 01 L 23/552

H 01 L 23/28

(21) Aktenzeichen: 199 40 759.2  
(22) Anmeldetag: 27. 8. 1999  
(43) Offenlegungstag: 22. 3. 2001

10637192  
9/15 duplak

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Epping, Hermann & Fischer GbR, 80339 München

(72) Erfinder:

Hübner, Holger, Dr., 85598 Baldham, DE

(56) Entgegenhaltungen:

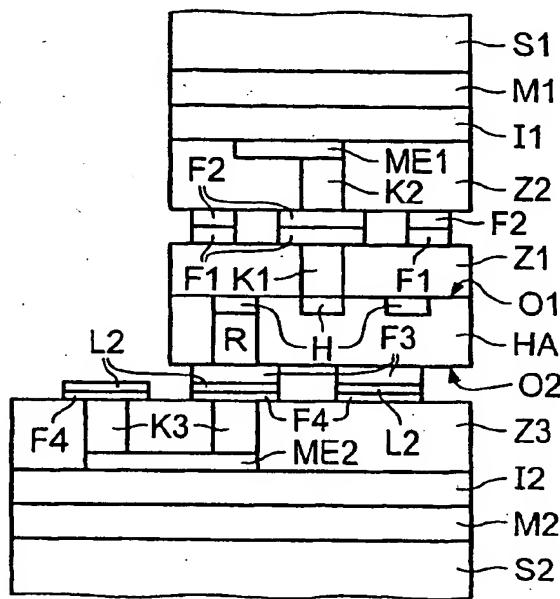
DE 197 48 666 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Schaltungsanordnung und Verfahren zu deren Herstellung

(57) Die Schaltungsanordnung weist mindestens ein Hauptsubstrat (HA) auf, das zwischen einem ersten Schutzsubstrat (S1) und einem zweiten Schutzsubstrat (S2) angeordnet ist. Das Hauptsubstrat (HA) weist mindestens ein Halbleiterbauelement (H) auf. Auf Oberflächen der beiden Schutzsubstrate (S1, S2) sind jeweils eine Metallschicht (M1, M2) angeordnet, die die Abstrahlung elektromagnetischer Felder der Schaltungsanordnung nach außen verhindern.



DE 199 40 759 A 1

DE 199 40 759 A 1

## Beschreibung

Die Erfindung betrifft eine Schaltungsanordnung, die mindestens ein in einem Substrat angeordnetes Halbleiterbauelement umfaßt.

Eine solche Schaltungsanordnung und ein Verfahren zu deren Herstellung sind zum Beispiel in US 5902118 beschrieben. Die Schaltungsanordnung ist dreidimensional und wird erzeugt, indem zwei Substrate, die im Bereich ihrer aufeinandertreffenden Grenzflächen Bauelemente aufweisen, aufeinander gestapelt und fest miteinander verbunden werden. Eines der Substrate kann anschließend von der Rückseite her gedünnt und mit Rückseitenkontakten versehen werden, wobei das andere Substrat als stabilisierende Trägerplatte wirkt. Ein erstes der beiden Substrate kann eine Halbleiterscheibe sein während ein zweites der beiden Substrate ein vereinzeltes Bauelement sein kann. In diesem Fall kann aufgrund der größeren Oberfläche des ersten Substrats eine zwischen den Bauelementen der zwei Substrate angeordnete Metallisierungsebene seitlich unter dem zweiten Substrat herausgeführt werden und von der dem zweiten Substrat zugewandten Oberfläche des ersten Substrat her kontaktiert werden. Die mechanische Verbindung zwischen den Substraten kann über Metallflächen realisiert werden, auf die Lotmetall aufgebracht wird. Durch Erhitzen werden die Metallflächen der Substrate miteinander verlötet. Bei der Verbindung aufeinandertreffende Kontakte, die in den Substraten angeordnet sind, können dabei ebenfalls miteinander verlötet werden. Das Metall der Metallflächen und das Lotmetall können beim Löten eine Legierung bilden, deren Schmelzpunkt höher ist als der Schmelzpunkt des Lotmetalls. Damit kann ein Auflösen der festen Verbindung bei weiteren Prozeßschritten vermieden werden. Für die Metallflächen kann Wolfram oder Nickel und für das Lotmetall Gallium oder Indium verwendet werden.

Eine solche Schaltungsanordnung wird beispielsweise in einer Chipkarte eingesetzt. Ein wesentliches Qualitätskriterium einer Chipkarte ist ihr Schutz vor Mißbrauch. Vor allem bei Chipkarten im Bank- und Kommunikationsbereich ist der Schutz vor "Reverse Engineering" außerordentlich wichtig. Es soll verhindert werden, daß Unberechtigte die interne Verschlüsselung der auf der Chipkarte gespeicherten Information dekodieren können. Reverse Engineering kann erfolgen, indem mit Prüfspitzen auf die Metallisierung des Chips aufgesetzt wird. Eine andere Möglichkeit besteht darin, mit Hilfe optischer Einblicke durch ein Mikroskop mit Infrarotbeleuchtung den Aufbau der Schaltungsanordnung zu bestimmen. Eine weitere Möglichkeit besteht darin, elektromagnetische Signale der Schaltungsanordnung induktiv oder kapazitiv aufzunehmen, um deren Funktion zu entschlüsseln.

Der Erfindung liegt daher das Problem zugrunde, eine Schaltungsanordnung anzugeben, die einen großen Schutz vor Reverse Engineering bietet. Ferner soll ein Verfahren zur Herstellung einer solchen Schaltungsanordnung angegeben werden.

Das Problem wird gelöst durch eine Schaltungsanordnung mit mindestens einem Hauptsubstrat und mindestens einem Halbleiterbauelement, das im Bereich einer ersten Oberfläche des Hauptsubstrats angeordnet ist. Für die Schaltungsanordnung ist ferner ein erstes Schutzsubstrat vorgesehen, das eine Oberfläche aufweist, über der eine erste Metallschicht angeordnet ist. Es ist ein zweites Schutzsubstrat vorgesehen, das eine Oberfläche aufweist, über der eine zweite Metallschicht angeordnet ist. Das Hauptsubstrat ist derart zwischen den zwei Schutzsubstraten angeordnet, daß die Oberfläche des ersten Schutzsubstrats und die Oberfläche des zweiten Schutzsubstrats im wesentlichen parallel

zur ersten Oberfläche des Hauptsubstrats liegen. Die erste Metallschicht und die zweite Metallschicht sind dabei so ausgestaltet, daß sie die Abstrahlung elektromagnetischer Felder der Schaltungsanordnung nach außen verhindern.

Das Problem wird ferner gelöst durch ein Verfahren zur Herstellung einer Schaltungsanordnung, bei dem im Bereich einer ersten Oberfläche mindestens eines Hauptsubstrats mindestens ein Halbleiterbauelement erzeugt wird. Über einer Oberfläche eines ersten Schutzsubstrats wird eine erste Metallschicht erzeugt. Über einer Oberfläche eines zweiten Schutzsubstrats wird eine zweite Metallschicht erzeugt. Mindestens aus dem Hauptsubstrat, dem ersten Schutzsubstrat und dem zweiten Schutzsubstrat wird ein Stapel derart gebildet, daß die Oberfläche des ersten Schutzsubstrats und die Oberfläche des zweiten Schutzsubstrats im wesentlichen parallel zur ersten Oberfläche des Hauptsubstrats liegen. Die erste Metallschicht und die zweite Metallschicht werden so erzeugt, daß sie die Abstrahlung elektromagnetischer Felder der Schaltungsanordnung nach außen verhindern.

Es sind also insbesondere keine Halbleiterbauelemente der Schaltungsanordnung zwischen der ersten Metallschicht und dem ersten Schutzsubstrat oder zwischen der zweiten Metallschicht und dem zweiten Schutzsubstrat angeordnet. Es sind auch keine Halbleiterbauelemente in den beiden Schutzsubstraten angeordnet.

Sämtliche Halbleiterbauelemente der Schaltungsanordnung sind zwischen der ersten Metallschicht und der zweiten Metallschicht angeordnet. Die beiden Metallschichten schirmen durch die Schaltungsanordnung erzeugte elektromagnetische Felder nach außen hin ab, so daß Reverse Engineering durch induktive oder kapazitive Aufnahme der elektromagnetischen Felder nicht möglich ist. Ferner verhindern die Metallschichten einen optischen Einblick auf die Halbleiterbauelemente, da die Metallschichten für sichtbares Licht und für Infrarotstrahlung nicht durchlässig sind.

Vorzugsweise ist das Hauptsubstrat derart zwischen den zwei Schutzsubstraten angeordnet, daß die Oberfläche des ersten Schutzsubstrats und die Oberfläche des zweiten Schutzsubstrats dem Hauptsubstrat zugewandt sind. Die Metallschichten werden dadurch durch die beiden Schutzsubstrate geschützt.

Zur Reduktion des Prozeßaufwands bei der Herstellung der Schaltungsanordnung sind die Metallschichten vorzugsweise durchgehend, das heißt, daß sie keine Aussparungen aufweisen. Solche Metallschichten können durch zum Beispiel Sputtern von Metall erzeugt werden.

Die beiden Schutzsubstrate verhindern einen mechanischen Zugriff auf die Halbleiterbauelemente, so daß Reverse Engineering mit Hilfe von Prüfspitzen verhindert wird. Eine Trennung der Schutzsubstrate vom Hauptsubstrat hätte die Zerstörung der Halbleiterbauelemente zur Folge.

Ein Durchbohren der Schutzsubstrate mit der Prüfspitze hätte die Aufsplittung der Schutzsubstrate zur Folge. Da die Schutzsubstrate fest mit dem Hauptsubstrat verbunden sind, würden folglich die Halbleiterbauelemente zerstört werden. Dazu sind die Schutzsubstrate vorzugsweise zwischen 10 µm und 1000 µm dick und bestehen aus einem spröden Material, wie z. B. Silizium, GaAs, Glas oder Keramik. Die Schutzsubstrate können auch aus einem metallischen Material bestehen.

Die Schaltungsanordnung kann mehrere miteinander verbundene Halbleiterbauelemente aufweisen. Die Verbindung der Halbleiterbauelemente kann über eine Metallisierungsebene erfolgen, die zur Verhinderung von Reverse Engineering ebenfalls zwischen den beiden Metallschichten angeordnet ist. Sind beispielsweise das Hauptsubstrat und das erste Schutzsubstrat so miteinander verbunden, daß die Oberfläche des ersten Schutzsubstrats und die erste Oberfläche

des Hauptsubstrats einander zugewandt sind, so ist die Metallisierungsebene zwischen der ersten Metallschicht und dem Hauptsubstrat angeordnet. Die Metallisierungsebene wird durch eine erste isolierende Schicht von der ersten Metallschicht getrennt. Sind dagegen das Hauptsubstrat und das zweite Schutzsubstrat so miteinander verbunden, daß die Oberfläche des zweiten Schutzsubstrats und die erste Oberfläche des Hauptsubstrats einander zugewandt sind, so ist die Metallisierungsebene zwischen der zweiten Metallschicht und dem Hauptsubstrat angeordnet.

Eine solche Schaltungsanordnung läßt sich besonders schnell herstellen, wenn vor der Verbindung des Hauptsubstrats mit dem ersten Schutzsubstrat die Metallisierungsebene über dem ersten Schutzsubstrat erzeugt wird. In diesem Fall können die Metallisierungsebene und die Halbleiterbauelemente gleichzeitig hergestellt werden, da sie verschiedenen Substraten zugeordnet sind. Dazu wird auf der ersten Metallschicht die erste isolierende Schicht aufgebracht. Auf der ersten isolierenden Schicht wird die Metallisierungsebene erzeugt. Anschließend werden das Hauptsubstrat und das erste Schutzsubstrat derart miteinander verbunden, daß die Metallisierungsebene die Halbleiterbauelemente miteinander verbindet. Um bekannte Prozeßschritte anwenden zu können, ist es in diesem Fall besonders vorteilhaft, wenn das erste Schutzsubstrat aus Silizium besteht.

Alternativ werden zunächst die Halbleiterbauelemente erzeugt und danach die Metallisierungsebene. Anschließend werden das Hauptsubstrat und das erste Schutzsubstrat miteinander verbunden.

Es liegt im Rahmen der Erfindung, mehr als eine Metallisierungsebene vorzusehen. Da die Schutzsubstrate keine Halbleiterbauelemente umfassen, können sie aus einem billigen Material bestehen. Auf diese Weise kann die Schaltungsanordnung besonders billig hergestellt werden. Das Hauptsubstrat, das die Halbleiterbauelemente umfaßt, kann dagegen aus einem hochwertigen Material bestehen. Beispielsweise enthalten das Hauptsubstrat, das erste Schutzsubstrat und das zweite Schutzsubstrat monokristallines Silizium. Das monokristalline Silizium des Hauptsubstrats enthält jedoch weniger Defekte als das monokristalline Silizium des ersten Schutzsubstrats und des zweiten Schutzsubstrats.

Zur Erhöhung der Packungsdichte der Schaltungsanordnung ist es vorteilhaft, wenn das Hauptsubstrat besonders dünn ist. Beispielsweise ist das Hauptsubstrat zwischen 5 µm und 100 µm dick.

Zur Herstellung einer solchen Schaltungsanordnung kann das Hauptsubstrat zunächst dicker sein. Beispielsweise weist sie, wie die Schutzsubstrate, eine Dicke zwischen 500 µm und 800 µm auf. Nach Erzeugung der Halbleiterbauelemente wird das Hauptsubstrat von einer zweiten, der ersten Oberfläche gegenüberliegenden Oberfläche des Hauptsubstrats her gedünnt.

Um das riskante Entfernen eines Trägers, der beim Dünnen erforderlich ist, zu vermeiden, ist es vorteilhaft, das erste Schutzsubstrat oder das zweite Schutzsubstrat als das Trägersubstrat zu verwenden. Dadurch wird auch der Herstellungsprozeß beschleunigt, da das aufwendige Entfernen des Trägersubstrats nach dem Dünnen entfällt.

Im folgenden wird eine weitere vorteilhafte Ausgestaltung der Schaltungsanordnung beschrieben: Das zweite Schutzsubstrat und das Hauptsubstrat sind so miteinander verbunden, daß die Oberfläche des zweiten Schutzsubstrats und die zweite Oberfläche des Hauptsubstrats einander zugewandt sind. Im Hauptsubstrat ist ein Rückseitenkontakt zum Halbleiterbauelement vorgesehen, der bis zur zweiten Oberfläche des Hauptsubstrats reicht. Die Oberfläche des zweiten Schutzsubstrats ist größer als die zweite Oberfläche

des Hauptsubstrats. Auf der zweiten Metallschicht ist eine zweite isolierende Schicht angeordnet. Auf der zweiten isolierenden Schicht sind eine Kontaktstruktur, die vom Hauptsubstrat nicht bedeckt ist, und eine damit verbundene Leiterbahn angeordnet. Die Leiterbahn ist mit dem Rückseitenkontakt verbunden, indem beispielsweise die Leiterbahn an den Rückseitenkontakt angrenzt. Durch die Leiterbahn wird der Rückseitenkontakt seitlich unter dem Hauptsubstrat herausgeführt und kann folglich von außen kontaktiert werden, ohne daß die Schutzsubstrate ein Hindernis darstellen. Die zweite isolierende Schicht trennt die Leiterbahn von der zweiten Metallschicht.

Bei einer solchen Schaltungsanordnung kann an teuerem Material gespart werden, da das Hauptsubstrat kleiner als das zweite Schutzsubstrat ist. Der Platzbedarf der Kontaktstruktur geht nicht zu Lasten des teureren Hauptsubstrats, da die Kontaktstruktur auf dem billigen Schutzsubstrat angeordnet ist und vom Hauptsubstrat nicht bedeckt wird.

Zur Erzeugung einer solchen Schaltungsanordnung wird nach dem Dünnen des Hauptsubstrats von der zweiten Oberfläche des Hauptsubstrats her ein Kontaktloch zum Halbleiterbauelement geöffnet und mit dem Rückseitenkontakt gefüllt. Auf der zweiten Metallschicht wird die zweite isolierende Schicht aufgebracht. Auf der zweiten isolierenden Schicht werden die Kontaktstruktur und die damit verbundene Leiterbahn erzeugt. Das Hauptsubstrat und das zweite Schutzsubstrat werden anschließend so miteinander verbunden, daß die Leiterbahn auf den Rückseitenkontakt trifft und die Kontaktstruktur vom Hauptsubstrat nicht bedeckt wird.

Die Schaltungsanordnung kann auch eine dreidimensionale Schaltungsanordnung sein. In diesem Fall ist mindestens ein weiteres Hauptsubstrat vorgesehen, das entsprechend dem Hauptsubstrat ausgestaltet ist. Das weitere Hauptsubstrat weist folglich auch mindestens ein Halbleiterbauelement auf. Die Hauptsubstrate, das erste Schutzsubstrat und das zweite Schutzsubstrat sind stapelförmig derart übereinander angeordnet, daß die Hauptsubstrate zwischen dem ersten Schutzsubstrat und dem zweiten Schutzsubstrat angeordnet sind. Dadurch schützen die Metallschichten der Schutzsubstrate sämtliche Halbleiterbauelemente der Schaltungsanordnung. Kontakte und Rückseitenkontakte verbinden die Halbleiterbauelemente der Hauptsubstrate miteinander.

Durch das Übereinanderanordnen der Halbleiterbauelemente in den verschiedenen Hauptsubstraten kann eine besonders hohe Packungsdichte der Schaltungsanordnung erreicht werden. Ferner können die Halbleiterbauelemente mit verschiedenen Technologien hergestellt werden. Die Hauptsubstrate können unterschiedliches Material enthalten.

Die Kontakte bzw. die Rückseitenkontakte können beim Zusammenfügen der Hauptsubstrate aufeinander treffen und dadurch die Verbindung der Halbleiterbauelemente der verschiedenen Hauptsubstrate realisieren. Alternativ sind Leiterbahnen vorgesehen, die die Kontakte bzw. die Rückseitenkontakte miteinander verbinden. Kontakte kontaktieren die Halbleiterbauelemente von den ersten Oberflächen der Hauptsubstrate her, während die Rückseitenkontakte innerhalb der Hauptsubstrate angeordnet sind und die Halbleiterbauelemente von den zweiten Oberflächen der Hauptsubstrate her kontaktieren.

Zur Herstellung einer solchen dreidimensionalen Schaltungsanordnung werden die Hauptsubstrate nach Erzeugung der Halbleiterbauelemente in den Bereichen ihrer ersten Oberflächen von den zweiten Oberflächen her gedünnt, wobei jeweils ein noch nicht gedünntes Hauptsubstrat, das erste Schutzsubstrat oder das zweite Schutzsubstrat als Trägersubstrat wirkt.

Beispielsweise wird ein erstes Hauptsubstrat mit einem

zweiten Hauptsubstrat derart verbunden, daß die erste Oberfläche des ersten Hauptsubstrats und die erste Oberfläche des zweiten Hauptsubstrats einander zugewandt sind. Mit Hilfe des zweiten Hauptsubstrats als Träger wird das erste Hauptsubstrat gedünnt. Das erste Hauptsubstrat wird anschließend mit Rückseitenkontakten versehen. Die miteinander verbundenen Hauptsubstrate können anschließend mit einem dritten Hauptsubstrat derart verbunden werden, daß die erste Oberfläche des dritten Hauptsubstrats und die zweite Oberfläche des ersten Hauptsubstrats einander zugewandt sind. Nun kann entweder das zweite Hauptsubstrat mit Hilfe des dritten Hauptsubstrats als Trägersubstrat oder das dritte Hauptsubstrat mit Hilfe des ersten Hauptsubstrats als Trägersubstrat gedünnt und mit Rückseitenkontakten versehen werden. Auf diese Weise lassen sich beliebig viele Hauptsubstrate übereinander stapeln. Zuletzt wird der Stapel aus Hauptsubstraten, von denen ein Hauptsubstrat nicht gedünnt ist, mit dem ersten Schutzsubstrat oder mit dem zweiten Schutzsubstrat verbinden. Mit Hilfe des betreffenden Schutzsubstrats als Trägersubstrat wird das noch nicht gedünnte Hauptsubstrat gedünnt. Anschließend wird das noch fehlende Schutzsubstrat angebracht, so daß die Hauptsubstrate zwischen den beiden Schutzsubstraten angeordnet sind.

Eine andere Alternative besteht darin, zunächst ein erstes Hauptsubstrat mit einem der Schutzsubstrate zu verbinden und mit Hilfe des Schutzsubstrats als Trägersubstrat zu dünnen und mit Rückseitenkontakten zu versehen. Anschließend kann ein zweites Hauptsubstrat mit dem gedünnnten ersten Hauptsubstrat derart verbunden werden, daß die erste Oberfläche des zweiten Hauptsubstrats dem ersten Hauptsubstrat zugewandt ist. Mit Hilfe des mit dem ersten Hauptsubstrat verbundenen Schutzsubstrats als Trägersubstrat wird nun das zweite Hauptsubstrat gedünnt und mit Rückseitenkontakten versehen. Auf diese Weise können beliebig viele Hauptsubstrate miteinander verbunden werden. Zum Schluß wird das fehlende Schutzsubstrat noch angebracht.

Es sind beliebig viele Kombinationsmöglichkeiten denkbar, wie die Hauptsubstrate und die Schutzsubstrate miteinander verbunden werden können und dabei die Hauptsubstrate gedünnt werden können, ohne daß beim Dünnen die Trägersubstrate je entfernt werden müssen.

Im folgenden wird ein Verfahren zur Erzeugung mehrerer erfundungsgemäßer Schaltungsanordnungen angegeben.

In mindestens einem scheibenförmigen ersten Wafer werden die Halbleiterbauelemente der Schaltungsanordnungen erzeugt. Auf einem scheibenförmigen zweiten Wafer wird die erste Metallschicht erzeugt. Der erste Wafer wird mit dem zweiten Wafer fest verbunden. Anschließend wird der erste Wafer gedünnt, wobei der zweite Wafer als Träger wirkt. Nach dem Dünnen des ersten Wafers werden die Rückseitenkontakte zu den Halbleiterelementen erzeugt. Der erste Wafer und der damit verbundene zweite Wafer werden so zersägt, daß vereinzelte Stapel gebildet werden, die jeweils einen Teil des ersten Wafers und einen Teil des zweiten Wafers umfassen. Die Teile des ersten Wafers sind die Hauptsubstrate der Schaltungsanordnungen. Die Teile des zweiten Wafers sind die ersten Schutzsubstrate der Schaltungsanordnungen. Auf einem scheibenförmigen dritten Wafer werden die zweite Metallschicht, die zweite isolierende Schicht, die Leitungsbahnen und die Kontaktstrukturen aufgebracht. Die Stapel werden anschließend so mit dem dritten Wafer fest verbunden, daß die Kontaktstrukturen nicht durch die Stapel abgedeckt werden. Anschließend wird der dritte Wafer so zersägt, daß die Stapel wieder voneinander getrennt werden und jeweils durch einen Teil des dritten Wafers vergrößert werden. Die Teile des dritten Wafers sind die zweiten Schutzsubstrate der Schaltungsanord-

nungen.

Da die Stapel vor Verbindung mit dem dritten Wafer einzelt werden, beanspruchen die Kontaktstrukturen keine Fläche auf dem möglicherweise teureren ersten Wafer.

Zur Erzeugung von mehreren Schaltungsanordnungen, die dreidimensional sind, werden vor Zersägen des ersten Wafers weitere Wafers, die gedünnt werden, auf dem ersten Wafer aufgebracht. Die weiteren Wafers enthalten ebenfalls Halbleiterbauelemente der Schaltungsanordnung und sind über Kontakte und/oder Rückseitenkontakte mit den Halbleiterbauelementen des ersten Wafers verbunden. Das Zusammenfügen der weiteren Wafers und das Dünnen der weiteren Wafers geschieht analog zum Zusammenfügen der Hauptsubstrate und zum Dünnen der Hauptsubstrate.

Die Halbleiterbauelemente können beispielsweise CMOS-Transistoren, Kondensatoren, mikroelektronische Schaltungsstrukturen, optoelektronische Komponenten, Sensorskomponenten oder ähnliches sein.

Das Hauptsubstrat kann beispielsweise auch aus einem III-V-Halbleiter bestehen.

Zwischen der ersten Metallschicht und dem ersten Schutzsubstrat bzw. der zweiten Metallschicht und dem zweiten Schutzsubstrat kann eine weitere isolierende Schicht vorgesehen sein.

Zur Verbindung der Substrate miteinander können als oberste Schicht der Substrate Metallflächen vorgesehen sein, auf die Lotmetall aufgebracht wird. Durch Erhitzen werden die Metallflächen der verschiedenen Substrate miteinander verlötet. Vorzugsweise weist das Lotmetall einen niedrigeren Schmelzpunkt auf als die durch die Metallflächen und das Lotmetall gebildete Legierung. Es liegt im Rahmen der Erfahrung zwischen den Metallschichten und dem Lotmetall Haftsichten und/oder Diffusionsbarriereflichten vorzusehen.

Die Verbindung zwischen den Substraten kann auch zum Beispiel über eine Polyimidschicht erfolgen.

Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Figuren näher erläutert.

Fig. 1 zeigt einen ersten Wafer, nachdem Halbleiterbauelemente, ein erstes Zwischenoxid, erste Kontakte und erste Metallflächen erzeugt wurden.

Fig. 2 zeigt einen Querschnitt durch einen zweiten Wafer, nachdem eine erste Metallschicht, eine erste isolierende Schicht, ein zweites Zwischenoxid, eine erste Metallisierungsebene, zweite Kontakte, zweite Metallflächen und eine erste Lotmetallschicht erzeugt wurden.

Fig. 3 zeigt einen Querschnitt durch einen Stapel aus einem Hauptsubstrat und einem ersten Schutzsubstrat. Der Stapel wurde durch Zersägen des ersten Wafers und des zweiten Wafers erzeugt, nachdem der erste Wafer mit dem zweiten Wafer fest verbunden wurde, gedünnt wurde und mit Rückseitenkontakten und mit dritten Metallflächen verschen wurde.

Fig. 4 zeigt einen Querschnitt durch einen dritten Wafer, nachdem eine zweite Metallschicht, eine zweite isolierende Schicht, eine zweite Metallisierungsebene, ein drittes Zwischenoxid, dritte Kontakte, vierte Metallflächen und eine zweite Lotmetallschicht erzeugt wurden.

Fig. 5 zeigt einen Querschnitt durch einen Stapel aus dem Hauptsubstrat, dem ersten Schutzsubstrat und dem zweiten Schutzsubstrat.

Fig. 6 zeigt einen Querschnitt durch einen Stapel, der aus mehreren ersten Wafers, einem zweiten Wafer und einem dritten Wafer erzeugt wurde.

Die Figuren sind nicht maßstabsgetreu.

In einem ersten Ausführungsbeispiel ist ein ca. 600 µm dicker scheibenförmiger erster Wafer W1 vorgesehen, der in einer an eine erste Oberfläche O1 des ersten Wafers W1 an-

grenzenden Schicht hochwertiges monokristallines Silizium enthält.

Mit aus dem Stand der Technik bekannten Prozeßschritten werden im Bereich der ersten Oberfläche O1 Halbleiterbauelemente H erzeugt (siehe Fig. 1). Die Halbleiterbauelemente H sind beispielsweise CMOS-Transistoren, Kondensatoren, mikroelektronische Schaltungstrukturen, optoelektronische Komponenten und Sensorkomponenten.

Die Anordnung der Halbleiterbauelemente H im ersten Wafer W1 wiederholt sich periodisch, da auf dem ersten Wafer W1 mehrere gleiche Schaltungsanordnungen erzeugt werden sollen.

Über den Halbleiterbauelementen H wird ein ca. 1 µm dickes erstes Zwischenoxid Z1 aus SiO<sub>2</sub> erzeugt. Im ersten Zwischenoxid Z1 werden Kontaktlöcher zu den Halbleiterbauelementen H geöffnet und mit ersten Kontakten K1 gefüllt (siehe Fig. 1).

Auf dem ersten Zwischenoxid Z1 werden ca. 2 µm dicke erste Metallflächen F1 aus Kupfer aufgebracht, die jeweils entweder die ersten Kontakte K1 bedecken oder zwischen den ersten Kontakten K1 angeordnet sind ohne diese miteinander elektrisch zu verbinden (siehe Fig. 1).

Ein scheibenförmiger zweiter Wafer W2 besteht aus Silizium und ist ca. 600 µm dick. Auf dem zweiten Wafer W2 wird eine ca. 500 nm dicke erste Metallschicht M1 aus Al-SiCu erzeugt. Über der ersten Metallschicht M1 wird eine ca. 1 µm dicke erste isolierende Schicht I1 aus SiO<sub>2</sub> erzeugt. Auf der ersten isolierenden Schicht I1 wird aus AlSiCu eine erste Metallisierungsebene ME1 erzeugt, die aus mehreren Leitungsbahnen besteht. Über der ersten Metallisierungsebene ME1 wird ein zweites Zwischenoxid Z2 erzeugt, indem SiO<sub>2</sub> in einer Dicke von ca. 1 µm aufgebracht wird. Im zweiten Zwischenoxid Z2 werden Kontaktlöcher auf die erste Metallisierungsebene M1 geöffnet und mit zweiten Kontakten K2 gefüllt (siehe Fig. 2).

Auf dem zweiten Zwischenoxid Z2 werden eine ca. 20 nm dicke Haftschiert aus Titan und eine ca. 30 nm dicke Diffusionsbarriereschicht aus TiN aufgebracht (nicht dargestellt). Darüber werden ca. 500 nm dicke zweite Metallflächen F2 aus Kupfer aufgebracht, die jeweils entweder die zweiten Kontakte K2 bedecken oder zwischen den zweiten Kontakten K2 angeordnet sind ohne diese miteinander elektrisch zu verbinden (siehe Fig. 2). Auf den zweiten Metallflächen F2 wird eine ca. 1500 nm dicke erste Lotmetallschicht L1 aus Zinn aufgebracht (siehe Fig. 2).

Anschließend werden der erste Wafer W1 und der zweite Wafer W2 derart miteinander verbunden, daß die ersten Metallflächen F1 und die zweiten Metallflächen F2 aufeinandertreffen. Dabei werden die ersten Kontakte K1 mit den zweiten Kontakten K2 elektrisch verbunden.

Bei einem Temperschritt bei ca. 300°C werden die ersten Metallflächen F1 und die zweiten Metallflächen F2 miteinander vrlötet. Dadurch wird eine feste Verbindung zwischen dem ersten Wafer W1 und dem zweiten Wafer W2 erzeugt.

Mit Hilfe des zweiten Wafers W2 als Träger wird der erste Wafer W1 von einer zweiten, der ersten Oberfläche O1 gegenüberliegenden Oberfläche O2 her gedünnt, bis der erste Wafer W1 nur noch 10 µm dick ist.

Von der zweiten Oberfläche O2 des ersten Wafers W1 werden Kontaktlöcher zu den Halbleiterbauelementen H geöffnet. Seitliche Flächen der Kontaktlöcher und die zweite Oberfläche O2 werden mit einer Isolation (nicht dargestellt) versehen. Die Kontaktlöcher werden mit Rückseitenkontakten R gefüllt. Auf der mit der Isolation bedeckten zweiten Oberfläche O2 werden ca. 2 µm dicke dritte Metallflächen F3 aus Kupfer aufgebracht, die jeweils entweder die Rückseitenkontakte R bedecken oder zwischen den Rückseiten-

kontakten R angeordnet sind ohne diese miteinander elektrisch zu verbinden (siehe Fig. 3).

Die Isolation trennt die Rückseitenkontakte R und die dritten Metallflächen F3 vom Silizium des ersten Wafers W1.

Anschließend werden der erste Wafer W1 und der damit verbundene zweite Wafer W2 zersägt, so daß vereinzelte Stapel gebildet werden, die jeweils einen Teil des ersten Wafers W1 und einen Teil des zweiten Wafers W2 umfassen.

Der Teil des ersten Wafers W1 eines der Stapel wird im folgenden als Hauptsubstrat HA bezeichnet. Der Teil des zweiten Wafers W2 des Stapels wird im folgenden als erstes Schutzsubstrat S1 bezeichnet. Jeder der Stapel umfaßt Halbleiterbauelemente H, die einer der Schaltungsanordnungen zugeordnet sind (siehe Fig. 3).

Ein ca. 600 µm dicker scheibenförmiger dritter Wafer W3 besteht aus Silizium. Auf dem dritten Wafer W3 wird eine ca. 500 nm dicke zweite Metallschicht M2 aus AlSiCu erzeugt (siehe Fig. 4).

Auf der zweiten Metallschicht M2 wird eine ca. 1 µm dicke zweite isolierende Schicht I2 aus SiO<sub>2</sub> erzeugt (siehe Fig. 4).

Aus der zweiten isolierenden Schicht I2 wird aus AlSiCu eine zweite Metallisierungsebene ME2, die aus mehreren Leitungsbahnen besteht, erzeugt.

Es wird ein drittes Zwischenoxid Z3 erzeugt, indem SiO<sub>2</sub> in einer Dicke von ca. 1 µm abgeschieden wird. Im dritten Zwischenoxid Z3 werden Kontaktlöcher zur zweiten Metallisierungsebene ME2 geöffnet und mit dritten Kontakten K3 gefüllt (siehe Fig. 4).

Auf dem dritten Zwischenoxid Z3 werden eine ca. 20 nm dicke Haftschiert aus Titan und eine ca. 30 nm dicke Diffusionsbarriereschicht aus TiN aufgebracht (nicht dargestellt). Darüber werden ca. 500 nm dicke vierte Metallflächen F4 aus Kupfer aufgebracht, die jeweils entweder die dritten Kontakte K3 bedecken oder zwischen den dritten Kontakten K3 angeordnet sind ohne diese miteinander elektrisch zu verbinden (siehe Fig. 4). Auf den vierten Metallflächen F4 wird eine ca. 1500 nm dicke zweite Lotmetallschicht L2 aus Zinn aufgebracht (siehe Fig. 4).

Anschließend werden die vereinzelten Stapel auf den dritten Wafer W3 derart aufgebracht, daß die dritten Metallflächen F3 und die vierten Metallflächen F4 aufeinandertreffen. Dadurch werden die Rückseitenkontakte R mit einem Teil der dritten Kontakte K3 elektrisch verbunden.

Durch einen Temperschritt bei ca. 300°C werden die dritten Metallflächen F3 und die vierten Metallflächen F4 miteinander verlötet.

Anschließend wird der dritte Wafer W3 so zersägt, daß die Stapel wieder voneinander getrennt werden und jeweils durch einen Teil des dritten Wafers W3 vergrößert werden. Der Teil des dritten Wafers W3 eines Stapels wird im folgenden als zweites Schutzsubstrat S2 bezeichnet.

Die Stapel bilden Schaltungsanordnungen, die jeweils aus einem der Hauptsubstrate HA bestehen, der zwischen einem der ersten Schutzsubstrate S1 und einem der zweiten Schutzsubstrate S2 angeordnet ist. Dritte Kontakte K3, die von den Hauptsubstraten HA nicht bedeckt werden, wirken als Kontaktstrukturen, über die die Schaltungsanordnung von außen angeschlossen werden kann.

In einem zweiten Ausführungsbeispiel werden mehrere erste Wafer analog zum ersten Wafer W1 aus dem ersten Ausführungsbeispiel erzeugt. Es wird ein zweiter Wafer analog zum zweiten Wafer W2 aus dem ersten Ausführungsbeispiel erzeugt. Es wird ein dritter Wafer analog zum dritten Wafer W3 aus dem ersten Ausführungsbeispiel erzeugt.

Wie im ersten Ausführungsbeispiel wird einer der ersten Wafer mit dem zweiten Wafer verbunden, gedünnt und mit

Rückseitenkontakte versehen. Anschließend wird ein weiterer der ersten Wafer mit dem gedünnten ersten Wafer verbunden. Die erste Oberfläche des weiteren Wafers ist dabei dem gedünnten ersten Wafer zugewandt. Anschließend wird der weitere erste Wafer von seiner zweiten Oberfläche her gedünnt und mit Rückseitenkontakte versehen. Diese Verfahrensschritte werden mit den übrigen ersten Wafers ebenfalls durchgeführt. Anschließend werden die ersten Wafer und der zweite Wafer zersägt, so daß Stapel erzeugt werden. Die Stapel werden wie im ersten Ausführungsbeispiel mit dem dritten Wafer verbunden. Der dritte Wafer wird zersägt, so daß die Stapel wieder vereinzelt werden. Jeder der Stapel besteht aus einem Teil des zweiten Wafers (erstes Schutzsubstrat S1'), einem Teil des dritten Wafers (zweites Schutzsubstrat S2') und aus jeweils einem Teil von jedem ersten Wafer (Hauptsubstrat HA'). Ein solcher Stapel ist schematisch in Fig. 6 dargestellt.

Es sind viele Variationen des Ausführungsbeispiels denkbar, die ebenfalls im Rahmen der Erfindung liegen. So können beispielsweise Abmessungen der beschriebenen Schichten, Metallisierungsebenen, Kontakte und Wafer an die jeweiligen Erfordernisse angepaßt werden.

## Patentansprüche

25

## 1. Schaltungsanordnung,

- mit mindestens einem Hauptsubstrat (HA),
- mit mindestens einem Halbleiterbauelement (H), das im Bereich einer ersten Oberfläche (O1) des Hauptsubstrats (HA) angeordnet ist,
- mit einem ersten Schutzsubstrat (S1), das eine Oberfläche aufweist, über der eine erste Metallschicht (M1) angeordnet ist,
- mit einem zweiten Schutzsubstrat (S2), das eine Oberfläche aufweist, über der eine zweite Metallschicht (M2) angeordnet ist,
- bei dem das Hauptsubstrat (HA) derart zwischen den zwei Schutzsubstraten (S1, S2) angeordnet ist, daß die Oberfläche des ersten Schutzsubstrats (S1) und die Oberfläche des zweiten Schutzsubstrats (S2) im wesentlichen parallel zur ersten Oberfläche (O1) des Hauptsubstrats (HA) liegen,
- bei der die erste Metallschicht (M1) und die zweite Metallschicht (M2) so ausgestaltet sind, daß sie die Abstrahlung elektromagnetischer Felder der Schaltungsanordnung nach außen verhindern.

## 2. Schaltungsanordnung nach Anspruch 1,

- bei dem das Hauptsubstrat (HA) derart zwischen den zwei Schutzsubstraten (S1, S2) angeordnet ist, daß die Oberfläche des ersten Schutzsubstrats (S1) und die Oberfläche des zweiten Schutzsubstrats (S2) dem Hauptsubstrat (HA) zugewandt sind.

## 3. Schaltungsanordnung nach Anspruch 2,

- bei der das Hauptsubstrat (HA) und das erste Schutzsubstrat (S1) so miteinander verbunden sind, daß die Oberfläche des ersten Schutzsubstrats (S1) und die erste Oberfläche (O1) des Hauptsubstrats (HA) einander zugewandt sind,
- bei der zwischen der ersten Metallschicht (M1) und dem Hauptsubstrat (HA) mindestens eine Metallisierungsebene (ME1) angeordnet ist, die das Halbleiterbauelement (II) mit weiteren im Hauptsubstrat (HA) angeordneten Halbleiterbauelementen (H) verbindet und durch eine erste isolierende Schicht (I1) von der ersten Metallschicht

(M1) getrennt ist.

## 4. Schaltungsanordnung nach Anspruch 2 oder 3,

- bei der das zweite Schutzsubstrat (S2) und das Hauptsubstrat (HA) so miteinander verbunden sind, daß die Oberfläche des zweiten Schutzsubstrats (S2) und eine zweite, der ersten Oberfläche (O1) gegenüberliegende Oberfläche (O2) des Hauptsubstrats (HA) einander zugewandt sind,
- bei der ein Rückseitenkontakt (R) zum Halbleiterbauelement (II) vorgesehen ist, der bis zur zweiten Oberfläche (O2) des Hauptsubstrats (HA) reicht,
- bei der die Oberfläche des zweiten Schutzsubstrats (S2) größer als die zweite Oberfläche (O2) des Hauptsubstrats (HA) ist,
- bei der auf der zweiten Metallschicht (M2) eine zweite isolierende Schicht (I2) angeordnet ist,
- bei der auf der zweiten isolierenden Schicht (I2) eine Kontaktstruktur, die nicht vom Hauptsubstrat (HA) bedeckt ist, und eine damit verbundene Leiterbahn angeordnet sind,
- bei der die Leiterbahn mit dem Rückseitenkontakt (R) verbunden ist.

## 5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4,

- bei der das Hauptsubstrat (HA) zwischen 5 µm und 100 µm dick ist,
- bei der das erste Schutzsubstrat (S1) und das zweite Schutzsubstrat (S2) zwischen 10 µm und 1000 µm dick sind.

## 6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5,

- bei der das Hauptsubstrat (HA), das erste Schutzsubstrat (S1) und das zweite Schutzsubstrat (S2) monokristallines Silizium enthalten,
- bei der das monokristalline Silizium des Hauptsubstrats (HA) weniger Defekte enthält, als das monokristalline Silizium des ersten Schutzsubstrats (S1) und des zweiten Schutzsubstrats (S2).

## 7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6,

- mit mindestens einem weiteren Hauptsubstrat (HA), der entsprechend dem Hauptsubstrat (HA) ausgestaltet ist,
- bei der die Hauptsubstrate (HA), das erste Schutzsubstrat (S1) und das zweite Schutzsubstrat (S2) stapelförmig derart übereinander angeordnet sind, daß die Hauptsubstrate (HA) zwischen dem ersten Schutzsubstrat (S1) und dem zweiten Schutzsubstrat (S2) angeordnet sind,
- bei der Kontakte (K2) und Rückseitenkontakte (R) die Halbleiterbauelemente (H) der Hauptsubstrate (H) miteinander verbinden.

## 8. Verfahren zur Herstellung einer Schaltungsanordnung,

- bei dem im Bereich einer ersten Oberfläche (O1) mindestens eines Hauptsubstrats (HA) mindestens ein Halbleiterbauelement (H) erzeugt wird,
- bei dem über einer Oberfläche eines ersten Schutzsubstrats (S1) eine erste Metallschicht (M1) erzeugt wird,
- bei dem über einer Oberfläche eines zweiten Schutzsubstrats (S2) eine zweite Metallschicht (M1) erzeugt wird,
- bei dem mindestens aus dem Hauptsubstrat (HA), dem ersten Schutzsubstrat (S2) und dem zweiten Schutzsubstrat (S2) ein Stapel derart ge-

bildet wird, daß das Hauptsubstrat (HA) zwischen dem ersten Schutzsubstrat (S1) und dem zweiten Schutzsubstrat (S2) liegt und daß die Oberfläche des ersten Schutzsubstrats (S1) und die Oberfläche des zweiten Schutzsubstrats (S2) im wesentlichen parallel zur ersten Oberfläche (O1) des Hauptsubstrats (HA) liegen,  
 – bei dem die erste Metallschicht (M1) und die zweite Metallschicht (M2) so erzeugt werden, daß sie die Abstrahlung elektromagnetischer Felder 10 der Schaltungsanordnung nach außen verhindern.

9. Verfahren nach Anspruch 8,  
 – bei dem der Stapel aus dem Hauptsubstrat (HA), dem ersten Schutzsubstrat (S2) und dem zweiten Schutzsubstrat (S2) derart gebildet wird, 15 daß die Oberfläche des ersten Schutzsubstrats (S1) und die Oberfläche des zweiten Schutzsubstrats (S2) dem Hauptsubstrat (HA) zugewandt sind.

10. Verfahren nach Anspruch 8 oder 9,  
 – bei dem das Hauptsubstrat (HA) von einer zweiten, der ersten Oberfläche (O1) gegenüberliegenden Oberfläche (O2) des Hauptsubstrats (HA) her gedünnt wird, wobei das erste Schutzsubstrat (S1) als Träger substrat wirkt. 20

11. Verfahren nach Anspruch 9 oder 10,  
 – bei dem im Hauptsubstrat (HA) weitere Halbleiterbauelemente (H) erzeugt werden,  
 – bei dem auf der ersten Metallschicht (M1) eine erste isolierende Schicht (I1) aufgebracht wird, 30  
 – bei dem auf der ersten isolierenden Schicht (I1) mindestens eine Metallisierungsebene (ME1) erzeugt wird,  
 – bei dem das Hauptsubstrat (HA) mit dem ersten Schutzsubstrat (S1) derart verbunden wird, daß die Metallisierungsebene (ME1) die Halbleiterbauelemente (H) miteinander verbindet.

12. Verfahren nach einem der Ansprüche 8 bis 10,  
 – bei dem mindestens ein weiters Hauptsubstrat (HA') bereitgestellt wird, 40  
 – bei dem im Bereich einer ersten Oberfläche des weiteren Hauptsubstrats (HA') mindestens ein Halbleiterbauelement erzeugt wird,  
 – bei dem die Hauptsubstrate (HA') von zweiten, den ersten Oberflächen gegenüberliegenden Oberflächen der Hauptsubstrate (HA') her gedünnt werden, wobei jeweils ein noch nicht gedünntes der Hauptsubstrate (HA'), das erste Schutzsubstrat (S1') oder das zweite Schutzsubstrat (S2') als Trägersubstrat wirkt, 45  
 – bei dem in den Hauptsubstraten (HA') jeweils mindestens ein Kontakt und/oder ein Rückseitenkontakt erzeugt werden, die die Halbleiterbauelemente der verschiedenen Hauptsubstrate (HA') miteinander verbinden,  
 – bei dem die Hauptsubstrate (HA'), das erste Schutzsubstrat (S1') und das zweite Schutzsubstrat (S2') derart aufeinander gestapelt und fest miteinander verbunden werden, daß die Hauptsubstrate (HA') zwischen dem ersten Schutzsubstrat (S1') und dem zweiten Schutzsubstrat (S2') angeordnet sind. 55

13. Verfahren nach einem der Ansprüche 9 bis 12,  
 – bei dem nach dem Dünnen des Hauptsubstrats (IIA) von der zweiten Oberfläche (O2) des IIaup- 65 substrats (HA) her ein Kontaktloch zum Halbleiterbauelement geöffnet wird und mit einem Rückseitenkontakt (R) gefüllt wird,

- bei dem auf der zweiten Metallschicht (M2) eine zweite isolierende Schicht (I2) aufgebracht wird,
- bei dem auf der zweiten isolierenden Schicht (I2) eine Kontaktstruktur und eine damit verbundene Leiterbahn erzeugt werden,
- bei dem die Oberfläche des zweiten Schutzsubstrats (S2) größer als die zweite Oberfläche (O2) des Hauptsubstrats (HA) ist,
- bei dem das IIaupsubstrat (IIA) und das zweite Schutzsubstrat (S2) so miteinander verbunden werden, daß die Leiterbahn auf den Rückseitenkontakt (R) trifft, und die Kontaktstruktur vom Hauptsubstrat (HA) nicht bedeckt wird.

14. Verfahren zur Erzeugung mehrerer Schaltungsanordnungen, die jeweils mit dem Verfahren gemäß Anspruch 13 erzeugt werden,

- bei dem in mindestens einem scheibenförmigen ersten Wafer (W1) die Halbleiterbauelemente (H) der Schaltungsanordnungen erzeugt werden,
- bei dem auf einem scheibenförmigen zweiten Wafer (W2) die erste Metallschicht (M1) erzeugt wird,
- bei dem der erste Wafer (W1) mit dem zweiten Wafer (W2) fest verbunden wird,  
 bei dem der erste Wafer (W1) gedünnt wird, wobei der zweite Wafer (W2) als Träger wirkt,
- bei dem nach dem Dünnen die Rückseitenkontakte (R) zu den Halbleiterbauelementen (H) erzeugt werden,
- bei dem der erste Wafer (W1) und der damit verbundene zweite Wafer (W2) so zersägt werden, daß vereinzelte Stapel gebildet werden, die jeweils einen Teil des ersten Wafers (W1), der als Hauptsubstrat (HA) bezeichnet wird, und einen Teil des zweiten Wafers (W2), der als erstes Schutzsubstrat (S1) bezeichnet wird, umfassen,
- bei dem auf einem scheibenförmigen dritten Wafer (W3) die zwicte Metallschicht (M2), die zweite isolierende Schicht (I2), die Leitungsbahnen und die Kontaktstrukturen aufgebracht werden,
- bei dem die Stapel so mit dem dritten Wafer (W3) fest verbunden werden, daß die Kontaktstrukturen nicht durch die Stapel abgedeckt werden,
- bei dem der dritte Wafer (W3) so zersägt wird, daß die Stapel wieder voneinander getrennt werden und jeweils durch einen Teil des dritten Wafers (W3), der als zweites Schutzsubstrat (S2) bezeichnet wird, vergrößert werden.

---

Hierzu 3 Seite(n) Zeichnungen

---

FIG 1

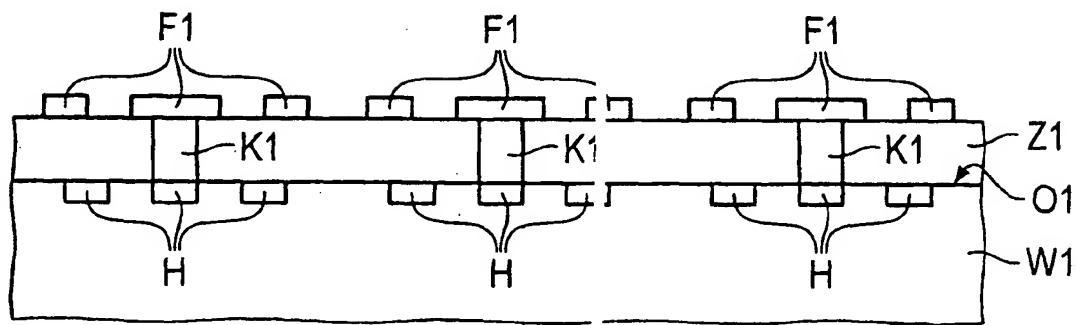


FIG 2

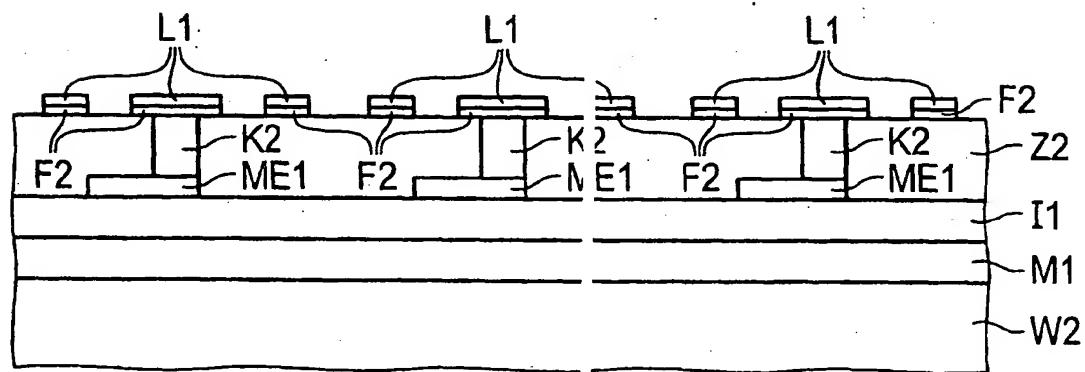


FIG 3

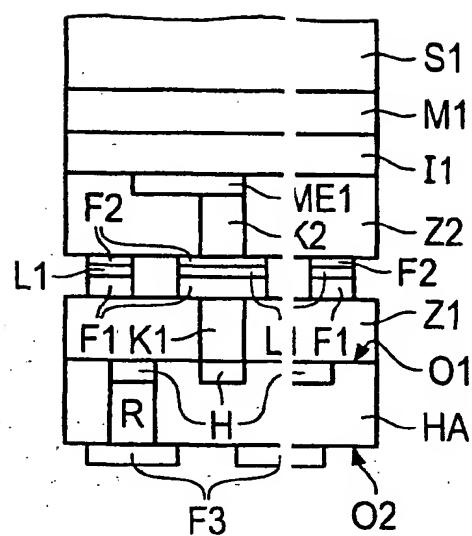


FIG 4

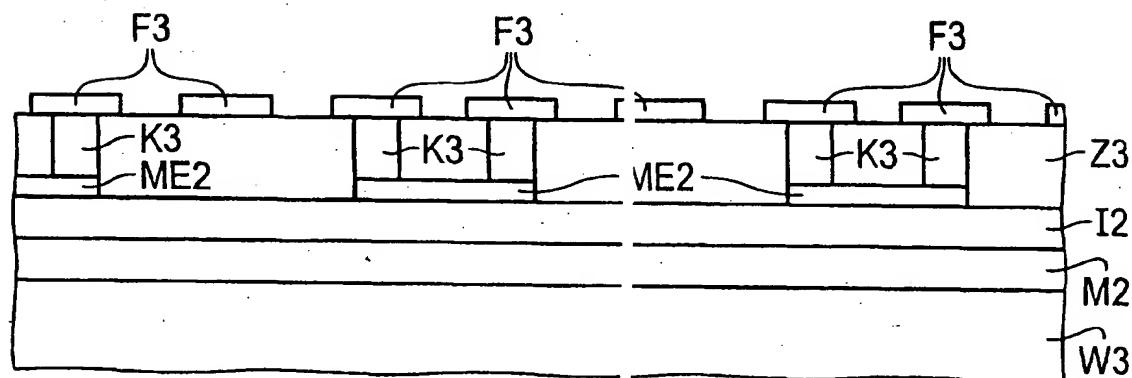


FIG 5

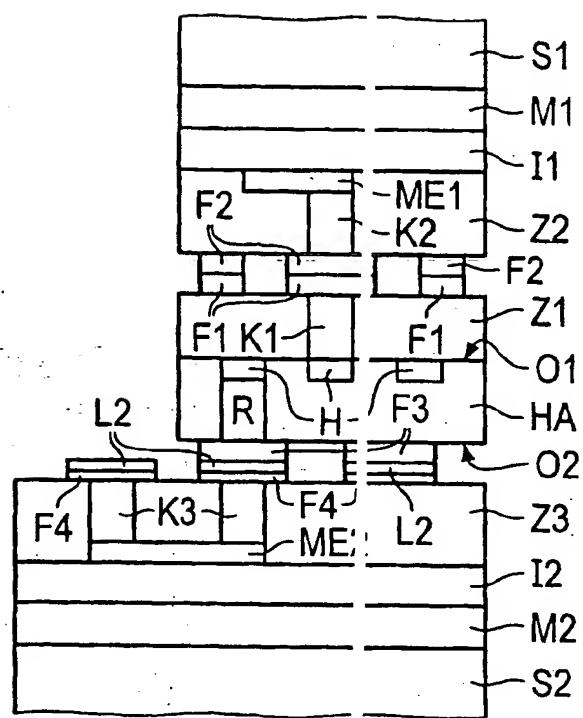
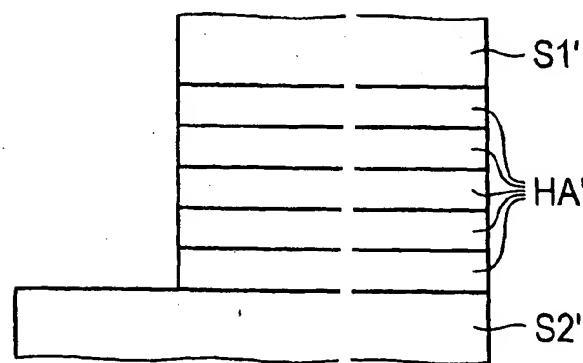


FIG 6



**No English title available.**

Patent Number: DE19940759  
Publication date: 2001-03-22  
Inventor(s): HUEBNER HOLGER (DE)  
Applicant(s): INFINEON TECHNOLOGIES AG (DE)  
Requested Patent:  DE19940759  
Application Number: DE19991040759 19990827  
Priority Number(s): DE19991040759 19990827  
IPC Classification: H01L23/58; H01L23/552; H01L23/28  
EC Classification: H01L23/58B, H01L23/538F, H01L23/538K, H01L23/552  
Equivalents:  WO0116996

---

**Abstract**

---

The inventive circuit has at least one main substrate (HA) which is located between a first protective substrate (S1) and a second protective substrate (S2). The main substrate (HA) has at least one semiconductor component (H). A metal layer (M1, M2) is provided on surfaces of the two protective substrates (S1, S2), respectively. Said metal layers prevent the electromagnetic fields of the circuit from being emitted outwards

DOCKET NO: P 2001, 0087  
SERIAL NO: 10/637, 192  
APPLICANT: Aumüller et al.  
LERNER AND GREENBERG P.A.  
P.O. BOX 2480  
HOLLYWOOD, FLORIDA 33022  
TEL. (954) 925-1100